

Винахід належить до радіозв'язку і може бути використаний в пристроях передачі інформації по радіоканалу.

Метою винаходу є підвищення завадостійкості структури широкополосних шумоподібних сигналів (ШШС) з перемежуванням при пакетній передачі інформаційних символів в каналах із завмираннями.

Сутність винаходу полягає в наступному: пропонується пристрій для реалізації перемежування символів кодових комбінацій ШШС шляхом їхньої обробки в мікропроцесорі по заданій програмі.

Відомий пристрій перемежування символів кодових комбінацій запропонований Форні [Кларк Дж мл., Кейн Дж. Кодирование с исправлением ошибок в системах цифровой связи/ Пер. с англ. под. ред. Б.С.Цыбакова. - М.: Радио и связь, 1987. 392с.], що складається з комутатора, групи регістрів зі зростаючою ємністю. Сутність його полягає в тому, що вхідні кодові символи подаються послідовно в групу з V послідовних регістрів зі зростаючою ємністю. При надходженні кожного нового кодового символу комутатор переключається на новий регістр, куди надходить наступний кодовий символ, у той час коли оброблений перший кодовий символ вже подається в канал.

Відомий пристрій [SU 1542390A1 кл. H04 Д01/06] що складається з вхідного, вихідного регістрів і, блоку інверторів. Сутність його роботи полягає в тому, що перемежування символів кодових комбінацій ШШС досягається введенням відповідних зв'язків між вхідним і вихідним регістрами (на підставі використання блоку інверторів). Роботу такого пристрою можна описати в такий спосіб. Інформаційна послідовність двійкових символів з виходу джерела (кодера) надходить послідовно на вхідний регістр що має a розрядів. Після того, як у нього будуть записані перші $\beta < a$ інформаційних символів, на керуючий вхід другого регістра надходить перший імпульс послідовності керуючих імпульсів, яким дозволяється запис у другий регістр першої частини елементів, формованих блоком інверторів, включеним між вхідним і вихідним регістрами. Таким чином, у момент дії першого керуючого імпульсу у вихідний регістр буде записана частина вже перемежованої кодової комбінації.

Прототипом до пропонованого пристрою можна віднести [патент SU 1542390A1 кл. H04 Д0 1/06], що має ряд недоліків, а саме:

- відсутність можливості оперативної зміни коефіцієнта перемежування через необхідність цілком при цьому змінювати структуру блоку інверторів;
- відсутність можливості зміни довжини пакета, у якому здійснюється перемежування.

Приведені недоліки не дозволяють повною мірою використовувати перемежування, як ефективний засіб усунення групових помилок (пакетів) при передачі сигналів по каналах із завмираннями. Це зв'язано з тим, що в залежності від довжини пакета помилок, що можуть виникати в каналі, для підвищення завадостійкості й ефективності передачі інформації, необхідно використовувати різні значення коефіцієнта перемежування. Докладне обґрунтування цього приведено в [статті авторів Батаєв О.П., Дьошин Р.І. Аналіз ефективності завадостійкості коду Ріда-Соломона з перемеженням / Інформаційно-керуючі системи на залізничному транспорті №6, 2000р. с.79-83].

В запропонованому пристрої даний недолік усувається шляхом застосування такої реалізації процесу перемежування, що дозволяє без зміни структури пристрою змінювати коефіцієнт перемежування q і довжину пакета інформаційних символів, в якому здійснюється перемежування.

На Фіг.1 представлена загальна схема запропонованого пристрою, що складається з вхідного буфера (ВхБ) 1 на α розрядів, на який подається інформаційна послідовність від кодера, з'єданого каналом передачі даних 6 з оперативним запам'ятовуючим пристроєм 4 (ОЗП) і каналом керування і синхронізації 7 з мікропроцесором 3 (МП); вихідного буфера (ВихБ) 5, що містить βN розрядів ($\beta < \alpha$, N - номери елементів кодових комбінацій ШШС), з'єданого з ОЗП 4 каналом передачі даних 8 і каналом керування і синхронізації 9 з мікропроцесором 3, з'єданого з оперативним запам'ятовуючим пристроєм каналом передачі даних 10; постійного запам'ятовуючого пристрою 2 (ПЗП), з'єданого з мікропроцесором 3 каналом передачі даних 11. Принцип роботи пристрою полягає в наступному.

Елементи кодової комбінації з виходу кодера надходять у вхідний буфер 1. Після заповнення вхідного буфера 1 елементи отриманого пакета паралельно надходять в оперативний запам'ятовуючий пристрій 2 для їхнього перемежування по заданій програмі. По закінченні перемежування, знову сформований пакет надходить у вихідний буфер 5, що послідовно видає елементи цього пакета на модулятор, на виході якого формується послідовність ШШС.

Математичний опис реалізації процесу перемежування, тобто визначення інтервалу перемежування зі змінюваним коефіцієнтом перемежування q , для його максимального значення q_{max} , можна представити за допомогою нерівності (1):

$$\left\{ E \left[\frac{(j-1)N + (N-1)q_{max} + 1}{N} \right] + E \left[\frac{(j-1)N + (N-1)q_{max} + 1}{N} \bmod \beta \right] \right\} N < < \{ Q_i + (d-1)\beta - 1 \} N + (n-1)q_i + 1 \} \leq \leq \left(\left\{ E \left[\frac{(j-1)N + (N-1)q_{max} + 1}{N} \right] + E \left[\frac{(j-1)N + (N-1)q_{max} + 1}{N} \bmod \beta \right] \right\} N + \beta N \right) \quad (1)$$

де символ $E[...]$ означає цілу частину виразу (у випадку дробового значення числа воно округляється в більшу сторону); j - номер вхідного інформаційного символу для визначеного q_{max} (наприклад, при використанні значень $q_1=20, q_2=4, q_3=16, q_4=8$ перший символ інформації буде подаватися в канал зв'язку зі значенням $q_1=q_{max}=20$, тобто для даного випадку $j=1$), для іншого порядку проходження коефіцієнтів перемежування і того ж значення $q_{max}=20$, наприклад, $q_1=8, q_2=4, q_3=q_{max}=20, q_4=16$, маємо $j=3$; $N=1$; β - кількість коефіцієнтів перемежування (в наведених прикладах $\beta=4$);

$$d = 1, \left\{ \frac{\left\{ E \left[\frac{(j-1)N + (N-1)q_{\max} + 1}{N} \right] + E \left[\frac{(j-1)N + (N-1)q_{\max} + 1}{N} \bmod \beta \right] \right\} N + \beta N}{\beta} \right\};$$

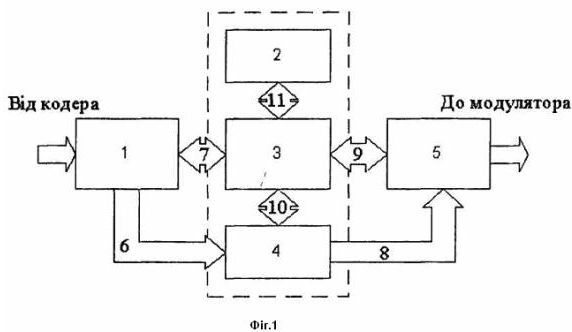
$Q_i = \overline{1, \beta}$; $\bmod \beta$ - модуль кількості коефіцієнтів перемешування.

Визначений відповідно до нерівності (1) часовий інтервал вказує на кількість використовуваних з βN розрядів вихідного буфера 6, а число розрядів вхідного буфера 5 визначається з виразу (2):

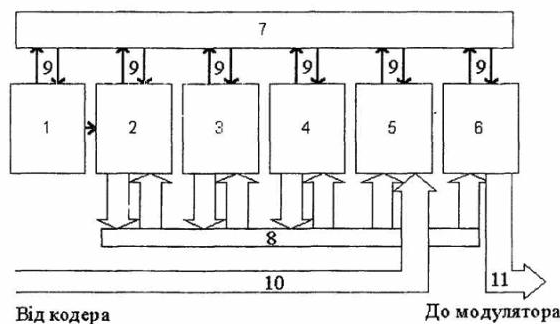
$$\alpha = E \left[\frac{(j-1)N + (N-1)q_{\max} + 1}{N} \right] + E \left[\frac{(j-1)N + (N-1)q_{\max} + 1}{N} \bmod \beta \right] + \beta \quad (2)$$

На Фіг.2 представлена докладна блок-схема пропонованого пристрою. Воно складається з генератора тактових імпульсів 1 (ГТІ), що забезпечує синхронізацію роботи всього пристрою, мікропроцесора 2 (МП), що здійснює обробку інформації, що надходить, відповідно до заданого коефіцієнта перемешування, оперативного запам'ятовуючого пристрою 3 (ОЗП), у якому зберігаються змінні дані при виконанні програми перемешування символів, постійного запам'ятовуючого пристрою 4 (ПЗП), у якому зберігається програма перемешування символів, вхідного буфера 5 (Вхб), у якому зберігається інформаційна послідовність символів, що надходить від кодера; вихідного буфера 6 (Вихб), в який надходить оброблена інформація для наступної передачі на модулятор. Блок керування 7 (БК) з'єднаний каналами керування і контролю 9 з генератором тактових імпульсів 1, мікропроцесором 2, оперативним запам'ятовуючим пристроєм 3, постійним запам'ятовуючим пристроєм 4, вхідним буфером 5, вихідним буфером 6 і здійснює контроль за роботою всього пристрою, формуючи команди керування, необхідні для забезпечення заданого порядку обміну даними. Мікропроцесор 2, оперативне запам'ятовуючий пристрій 3, постійне запам'ятовуючий пристрій 4, вхідний буфер 5 і вихідний буфер 6 з'єднані між собою адресною шиною даних 8.

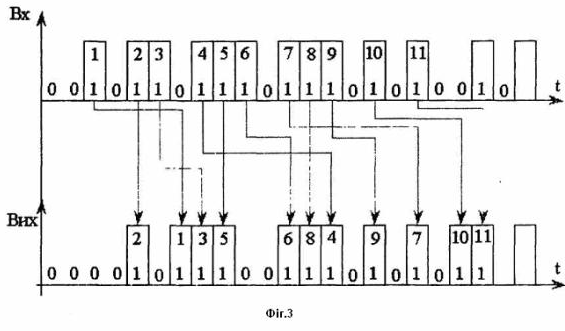
Пристрій працює таким чином (див. Фіг.2). Інформаційна послідовність символів від кодера надходить на вхід вхідного буфера 5 по вхідній шині 10, після його заповнення блок керування 7 дає команду на її зчитування паралельним кодом в оперативне запам'ятовуючий пристрій 3. Після цього мікропроцесор 2 виконує перемешування елементів вхідної кодової послідовності по заданій програмі, що зберігається в постійному запам'ятовуючому пристрої 4. По закінченні роботи програми в оперативному запам'ятовуючому пристрої 3 буде знаходитися перемешування кодова послідовність. Генератор тактових імпульсів 1 забезпечує синхронну роботу всіх елементів пристрою. По закінченні роботи програми блок керування 7 дає команду на запис інформації з оперативного запам'ятовуючого пристрою 3 у вихідний буфер 6 через вихідну шину 11. Після цього починається заповнення вхідного буфера 5 новою кодовою послідовністю, а з вихідного буфера 6 йде послідовна передача елементів перемешування кодової послідовності на модулятор на виході якого формується послідовність ШШС. Принцип формування перемешуваної кодової послідовності для різних значень коефіцієнтів перемешування показаний відповідно на Фіг.3 ($q=3$) і Фіг. 4 ($q=2$).



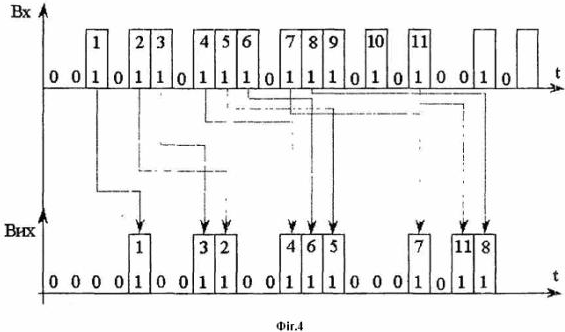
Фіг.1



Фіг.2



Phi_{r.3}



Phi_{r.4}