



УКРАЇНА

(19) **UA** (11) **87789** (13) **U**
(51) МПК (2014.01)
H03D 3/00
H01G 9/00

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2013 07421	(72) Винахідник(и): Альошин Геннадій Васильович (UA), Приходько Сергій Іванович (UA), Індік Сергій Володимирович (UA), Хамзе Білал (LB)
(22) Дата подання заявки: 11.06.2013	
(24) Дата, з якої є чинними права на корисну модель: 25.02.2014	
(46) Публікація відомостей про видачу патенту: 25.02.2014, Бюл.№ 4	(73) Власник(и): УКРАЇНСЬКА ДЕРЖАВНА АКАДЕМІЯ ЗАЛІЗНИЧНОГО ТРАНСПОРТУ, пл. Фейєрбаха, 7, м. Харків-50, 61050 (UA)

(54) СЛІДКУЮЧИЙ ЗАВАДОСТІЙКИЙ ЦИФРОВИЙ ФАЗОВИЙ ДЕТЕКТОР

(57) Реферат:

Слідкуючий завадостійкий цифровий фазовий детектор, що вміщує послідовно включені генератор рахункових імпульсів, першу схему "I", електронний комутатор, подільник удвічі частоти рахункових імпульсів, перший лічильник, формувач сигнальних імпульсів послідовно з'єднаний з першим діодом, другою схемою "I" і першим тригером, а також підключений через другий діод до керуючого входу комутатора і до третьої схеми "I", вихід формувача опорних імпульсів через перший тригер з'єднаний зі входом першої схеми "I", а також послідовно з'єднаний з другим тригером, третьою схемою "I", з третім тригером і другою схемою "I", причому вихід другої схеми "I" підключений до другого та третього тригерів та до лічильника для виводу результату, для його обнуління та встановлення коду постійного зсуву фази, вихід комутатора послідовно підключений до входу першого лічильника, крім того він додатково вміщує послідовно з'єднані додавач, цифро-аналоговий перетворювач, коректор, керований генератор та формувач опорного сигналу, причому вихід задавача періоду через другий лічильник періоду підключений до входу додавача.

UA 87789 U

Слідкуючий завадостійкий цифровий фазовий детектор належить до фазових вимірювачів, які здатні усувати вплив низькочастотних завад та кодозалежного джитеру на точність фазових вимірювань, скоротити час вимірювань фази і входження у синхронізм, а також відслідковувати необхідну фазу опорного сигналу у режимі ФАП і може використовуватись в когерентних системах та системах синхронізації.

Розширюються межі застосування та функціональні можливості такого детектора. Крім переваг у завадостійкості та оперативності він може використовуватись у цифрових ФАПЧ, у модуляторах та демодуляторах кутової модуляції, для сертифікації фазових детекторів та для інших потреб метрології.

Відомий цифровий фазовий детектор (Альошин Г.В., Урвачев В.И. Цифровий фазовий детектор. А.С. СССР № 464858, Бюл. № 11 від 25.03.75 р.) компенсує дію низькочастотних завад та дрейф нуля у підсилювачах, які погано згладжуються та впливають на результат вимірювань фази сигналу.

Недоліком цифрового фазового детектора є те, що він працює лише в обмеженому діапазоні різниці фаз або в нециклічному режимі.

Відомий цифровий фазовий детектор (Альошин Г.В., Бойко Д.О., Приходько С.І. Завадостійкий цифровий фазовий детектор. - Патент на корисну модель № 68130, бюл. № 5 від 12.03.2012), який розширює діапазон вимірюваних затримок фази сигналу.

Недоліками цифрового фазового вимірювача (Альошин Г.В., Приходько С.І., Індик С.В. Завадостійкий цифровий фазовий детектор. Патент на корисну модель №79773, бюл. № 8 від 25.04.2013) є необхідність врахування при обчислюванні вимірюваної фази сигналу внесеної затримки з боку схеми затримки, ненадійність роботи комутатора при негативному імпульсі з формувача сигнальних імпульсів та недоліки використання схем затримки.

За прототип вибрано завадостійкий цифровий фазовий детектор (Альошин Г.В., Приходько С.І., Індик С.В. Патент на корисну модель № 79773, бюл. № 8 від 25.04.2013), який усуває затримку фази, яка впливає на точність обчислень, спрощує апаратуру та підвищує надійність її роботи.

Недоліком прототипу є обмежені функціональні можливості завадостійкого цифрового фазового детектора.

Ціллю створення запропонованого слідкуючого завадостійкого цифрового фазового детектора є розширення його функціональних можливостей, крім nereагування на низькочастотні завади: 1) у слідкуючому режимі, при зсувенні фази на $-\pi/2$ у цифровому вигляді відносно шкали детектора, він може виконувати функцію ФАП, 2) при зсувенні фази на $\pi/2$ може виконувати функцію синхронного детектування, 3) у режимі будь-якого фазового зсуву цифрова фільтрація згладжує похибку, обумовлену завадою у смузі сигналу, 4) усунення схеми затримки, при відключеному цифровому фільтрі, дозволяє оперативніше обчислювати фазу сигналу, 5) змінна смуга цифрової фільтрації здатна реалізувати адаптивність до ширини спектру сигналу.

В основу корисної моделі, слідкуючого завадостійкого цифрового фазового детектора, поставлена задача такого удосконалення відомого цифрового фазового детектора, при якому розширюються його функціональні можливості.

Поставлена задача вирішується тим, що слідкуючий завадостійкий цифровий фазовий детектор, який вміщує послідовно включені генератор рахункових імпульсів, першу схему "I", електронний комутатор, подільник удвічі частоти рахункових імпульсів, перший лічильник, формувач сигнальних імпульсів послідовно з'єднаний з першим діодом, другою схемою "I" і першим тригером, а також підключений через другий діод до керуючого входу комутатора і до третьої схеми "I", вихід формувача опорних імпульсів через перший тригер з'єднаний зі входом першої схеми "I", а також послідовно з'єднаний з другим тригером, третьою схемою "I", з третім тригером і другою схемою "I", причому вихід другої схеми "I" підключений до другого та третього тригерів та до лічильника для виводу результату, для його обнуління та встановлення коду постійного зсуву фази, вихід комутатора послідовно підключений до входу першого лічильника, додатково вміщує послідовно з'єднані додавач, цифро-аналоговий перетворювач, коректор, керований генератор та формувач опорного сигналу, причому вихід задавача періоду через другий лічильник періоду підключений до входу додавача.

На фіг. 1 представлені елементи слідкуючого завадостійкого цифрового фазового детектора: 1) генератор рахункових імпульсів, 2) формувач сигнальних імпульсів, 3) перша схема "I", 4) формувач опорних імпульсів, 5) електронний комутатор, 6) подільник частоти удвічі, 7) перший лічильник, 8) другий тригер, 9) третя схема "I", 10) третій тригер, 11) друга схема "I", 12) перший тригер, 13) перший діод, 14) другий діод, 15) додавач, 16) цифро-аналоговий перетворювач, 17) коректор, 18) керований генератор, 19) лічильник періодів, 20) задавач періоду.

На фіг. 2 часова діаграма роботи слідкуючого завадостійкого цифрового фазового детектора.

Принцип дії завадостійкого цифрового фазового детектора у наступному. На фіг. 2а зображена послідовність імпульсів на виході формувача опорних імпульсів. На фіг. 2б зображений сигнал на вході формувача сигнальних імпульсів з негативною на даний момент часу завадою. Очевидно, що вузькосмугова (корельована) в даний момент негативна завада як би зміщує сигнал униз, так що точки перетинання осі зміщуються з моменту 1 до моменту 2. Це призводить до похибки у часі Δt та у фазі - $\omega \Delta t$. Звичайними засобами точно компенсувати заваду неможливо. Тому пропонується використати незмінність у часі точки 3 при будь-якому впливі корельованої завади. Її можна розрахувати методом "виделки", тобто відмітивши точки 2 та 4 поділеною частотою. Знаючи точку 3, можна визначити точку 1, якщо з інтервалу з 0 по 3 відняти інтервал від 1 по 3, який відповідає значенню $\pi/2$. Точка 1 відповідає сигнальному імпульсу на виході формувача сигнальних імпульсів, тобто моменту закінчення виміру, якщо б не було завади. Початок координат відповідає опорному імпульсу.

На виході формувача сигнальних імпульсів 2 є позитивні та негативні імпульси.

Алгоритм дії слідкуючого завадостійкого цифрового фазового детектора наступний. Імпульс формувача опорних імпульсів 4 перекидає перший тригер 12, який відкриває першу схему "I" 3 для проходження рахункових імпульсів з генератора 1 через комутатор 5 на перший лічильник 7 в обхід подільника частоти удвічі 6 до тих пір, поки не з'явиться перший позитивний сигнальний імпульс з формувача сигнальних імпульсів 2. Заодно з відкриттям першої схеми "I" 3 імпульс формувача опорних імпульсів 4 перекидає другий тригер 8 та відкриває третю схему "I".

Якщо першим у часі після опорного імпульсу (у момент 2 фіг. 2б) буде позитивний імпульс сигналу з формувача сигнальних імпульсів 2, то він надходить на комутатор 5, який переключає вихід через подільник частоти удвічі 6 на лічильник 7 (фіг. 2в), та до третьої схеми "I" для перекидання третього тригера 10, який відкриває другу схему "I" 11 для наступного негативного імпульсу з формувача сигнальних імпульсів 2. У момент 4 (фіг. 2б) формувачем сигнальних імпульсів 2 формується негативний імпульс для закриття через перший діод 13, другу схему "I" 11 і перший тригер 12 рахунку рахункових імпульсів. Оскільки частота рахунку імпульсів удвічі менша, у лічильнику 7 накопичувалось число імпульсів, відповідне інтервалу від 0 до 3 (фіг. 2б). Якщо з числа, відповідного інтервалу від 0 по 3 відняти $\pi/2$, то у лічильнику зостанеться число імпульсів, відповідне інтервалу від 0 по моменту 1 (фіг. 2в). Тобто, якби не було будь-яких завад.

Якщо першим у часі після опорного імпульсу буде негативний імпульс з формувача сигнальних імпульсів 2, то схема спрацьовує таким чином.

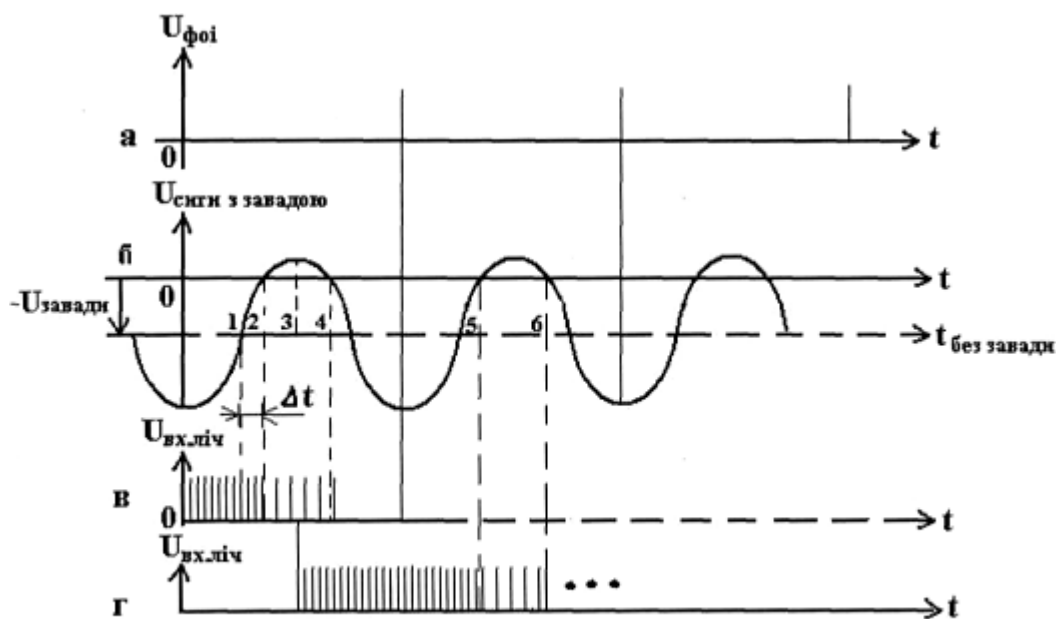
Наприклад, опорний імпульс буде у момент 3 (фіг. 2б). Негативний імпульс від формувача сигнальних імпульсів 2 не відкриває другу схему "I" 9, тобто не перекидає третій тригер 10, який держить закритою другу схему "I" 11. Тому негативний імпульс через діод 13 не проходить до першого тригера 12 та не закриває рахування рахункових імпульсів першою схемою "I" 3. Рахування лічильником 7 продовжується у такому ж алгоритмі, поки не прийде спочатку позитивний, а потім другий негативний імпульс сигнальний імпульс (фіг. 2г).

Тобто, у будь-якому разі тільки спочатку попередній позитивний імпульс та наступний негативний імпульс з формувача сигнальних імпульсів 2 дозволяють вимірювання.

Негативний сигнальний імпульс зі схеми "I" 11 обнулює тригери 8, 10 та скидає у паралельному коді цифрове значення різниці виміряної фази за шкалою детектора та потрібного зсуву фази керованого генератора з першого лічильника 7 до додавача 15. Для відслідковування фази у режимі ФАП потрібний постійний цифровий код зсуву (фіг. 1), який відповідає $-\pi/2$, для синхронного детектора потрібен зсув фази $\pi/2$. Аналогічно - для будь-якого зсуву фази. При цьому відповідний код закладається паралельно по всіх разрядах лічильника одночасно з обнуленням за дією негативного сигнального імпульсу.

У режимі слідкування за зсувом фази результати вимірювань фази (за два періоди сигналу) додаються у додавачеві 15 стільки разів, який період дозволить другий лічильник періоду 19. Другий лічильник періодів 19 може бути реалізований у вигляді регістра з дешифратором, який перестроює задавач періоду 20. Осереднений цифровий результат вимірювань зсуву фази може бути поданий або відразу на цифровий вхід керованого генератора 18, або спочатку на цифро-аналоговий перетворювач 16, далі на коректор 17, необхідний для стійкості регулювання, на керований генератор 18 і на формувач опорного сигналу 4.

Ефективність запропонованого слідкуючого цифрового фазового детектора у наступному: 1) не реагує на низькочастотні завади, 2) у слідкуючому режимі, при зсуванні фази на $-\pi/2$ у цифровому вигляді відносно шкали детектора, він може виконувати функцію ФАП, 3) при зсуванні фази на $\pi/2$ може виконувати функцію синхронного детектування, 4) у режимі будь-



Фіг. 2

Комп'ютерна верстка Д. Шеверун

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601